

DIALOG(R)File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

013103184      \*\*Image available\*\*

WPI Acc No: 2000-275055/ 200024

XRPX Acc No: N00-206452

**Unit cell of image-pick-up apparatus**

Patent Assignee: CANON KK (CANO )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000059696	A	20000225	JP 98221680	A	1998080	200024 B

Priority Applications (No Type Date): JP 98221680 A 19980805

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000059696	A	12	H04N-005/335	

Abstract (Basic): JP 2000059696 A

NOVELTY - The unit cell (S) has a common amplifier which receives input signal from photoelectric converters. The switches (Vo,So,Ve,Se) selectively supplies signals from the photoelectric converters to the input terminal of the common amplifier. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for an image-pick-up system.

USE - For image-pick-up system.

ADVANTAGE - Low illuminance photography can be performed by raising sensitivity. Prevents generation of moire since all pixel signals are utilized. Reduces power consumption since horizontal or vertical driving frequency can be lowered. DESCRIPTION OF DRAWING(S) - The figure shows the components of the unit cell of the image-pick-up apparatus. (S) Unit cell; (Vo,So,Ve,Se) Switches.

Dwg.2/18

Title Terms: UNIT; CELL; IMAGE; PICK; UP; APPARATUS

Derwent Class: U13; W04

International Patent Class (Main): H04N-005/335

International Patent Class (Additional): H01L-027/146

File Segment: EPI

Manual Codes (EPI/S-X): U13-A01; W04-M01B

**THIS PAGE BLANK (USPTQ)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-59696

(P2000-59696A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 4 N 5/335

H 0 4 N 5/335

Z 4 M 1 1 8

H 0 1 L 27/146

H 0 1 L 27/14

A 5 C 0 2 4

審査請求 未請求 請求項の数16 O L (全 12 頁)

(21) 出願番号

特願平10-221680

(22) 出願日

平成10年8月5日 (1998.8.5)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 100065385

弁理士 山下 穰平

Fターム (参考) 4M118 AA01 AA02 AA05 AA10 AB01

BA14 CA17 CA19 DB01 DB03

DD03 DD09 DD12 FA06 FA42

5C024 AA01 CA00 CA02 CA12 CA14

CA15 FA01 FA11 GA31 HA17

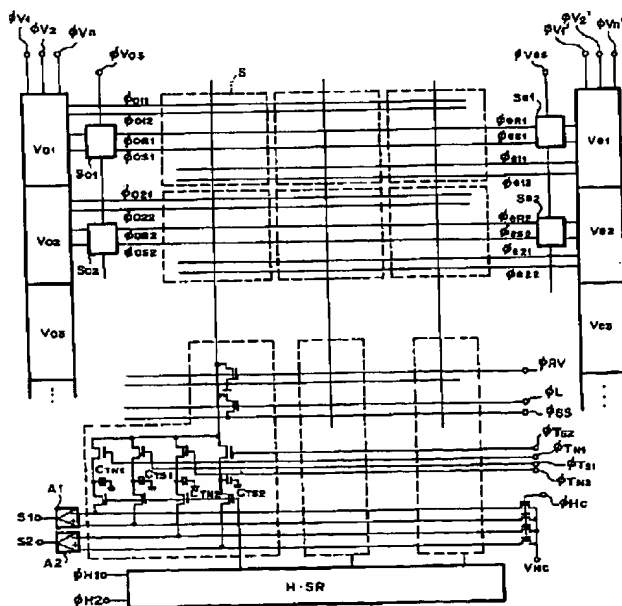
HA18 JA11

(54) 【発明の名称】 撮像装置及びそれを用いた撮像システム

(57) 【要約】

【課題】 高画素のセンサーから低画素の信号を読み出す時、センサー内で信号を加算し、低速にかつ高感度な信号を低消費電力で得る。

【解決手段】 複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルSが複数列配列された撮像装置において、複数の光電変換部からの信号を前記共通アンプの入力部で任意に加算切替える加算切替手段 ( $V_o$ ,  $S_o$ ,  $V_e$ ,  $S_e$ ) を有する。



## 【特許請求の範囲】

【請求項1】 複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置において、前記複数の光電変換部からの信号を前記共通アンプの入力部で任意に加算切替える加算切替手段を有することを特徴とする撮像装置。

【請求項2】 請求項1に記載の撮像装置において、前記加算切替手段は、水平方向に配列された光電変換部からの信号の加算を行う切替えモードを有することを特徴とする撮像装置。

【請求項3】 請求項1に記載の撮像装置において、前記加算切替手段は、垂直方向に配列された光電変換部からの信号の加算を行う切替えモードを有することを特徴とする撮像装置。

【請求項4】 請求項1に記載の撮像装置において、前記加算切替手段は、前記共通アンプに接続された前記複数の光電変換部からの信号の全てを加算する切替えモードを有することを特徴とする撮像装置。

【請求項5】 請求項1に記載の撮像装置において、前記撮像装置の水平走査手段および／または垂直走査手段の駆動パルス切替手段を有することを特徴とする撮像装置。

【請求項6】 請求項5に記載の撮像装置において、前記単位セルは $m$ 行 $n$ 列 ( $m+n \geq 3$ ;  $m$ と $n$ は自然数) に配された複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを有するとともに、前記垂直走査手段は単位セルごとに光電変換部行を制御するように $m$ 個有することを特徴とする撮像装置。

【請求項7】 請求項1～6のいずれかの請求項に記載の撮像装置において、前記共通アンプは前記単位セル中の複数の光電変換部からの信号を増幅する増幅手段と前記単位セル中をリセットするリセット手段を有することを特徴とする撮像装置。

【請求項8】 請求項1～7のいずれかの請求項に記載の撮像装置において、前記単位セル内の共通アンプからの画像信号を蓄積する画像信号蓄積手段と、前記共通アンプの特性のバラツキを補正するための前記共通アンプの特性のバラツキ信号を蓄積するバラツキ信号蓄積手段と、前記画像信号蓄積手段からの信号から前記バラツキ信号蓄積手段からの信号を差分する差分手段と、を有することを特徴とする撮像装置。

【請求項9】 請求項1～7のいずれかの請求項に記載の撮像装置において、前記単位セル中の前記共通アンプからの第1の信号を蓄積する第1の蓄積手段と、前記共通アンプからの第2の信号を蓄積する第2の蓄積手段と、

前記第1の蓄積手段からの信号から前記第2の蓄積手段からの信号を差分する差分手段と、を有することを特徴とする撮像装置。

【請求項10】 請求項9に記載の撮像装置において、前記第1の信号は画像信号であり、前記第2の信号はノイズ信号であることを特徴とする撮像装置。

【請求項11】 請求項1～10のいずれかの請求項に記載の撮像装置において、少なくとも前記光電変換部間のピッチを少なくとも垂直方向又は水平方向の一方向で等ピッチに調整するための調整手段を設けたことを特徴とする撮像装置。

【請求項12】 請求項11に記載の撮像装置において、前記調整手段は遮光膜であることを特徴とする撮像装置。

【請求項13】 請求項1～12のいずれかの請求項に記載の撮像装置において、前記共通アンプは単位セルの中心部に配置したことを特徴とする撮像装置。

【請求項14】 請求項12に記載の撮像装置において、前記遮光膜は隣り合う単位セル間に配置したことを特徴とする撮像装置。

【請求項15】 請求項14に記載の撮像装置において、前記遮光膜は少なくとも前記単位セルの水平方向又は垂直方向の中心線に対して線対称となる位置に配置したことを特徴とする撮像装置。

【請求項16】 請求項1～15のいずれかの請求項に記載の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は撮像装置及びそれを用いた撮像システムに係わり、特に複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置及びそれを用いた撮像システムに関する。

## 【0002】

【従来の技術】 1998年から米国でデジタル放送が開始され、2006年にはNTSC放送(525V)が廃止され、TV放送は全てHDデジタルにする計画がある。またデジタルスチルカメラは130万画素のものが市場を席巻する勢いである。このことは、高画素のセンサーから高解像度信号と低解像度信号を必要に応じて出力することが望まれることを意味する。

【0003】 こういう状況のなか、CCDでは画素サイズのシュリンク化(縮小化)が進んでいる。しかし、5 $\mu$ m $\square$ サイズ程度のCCDでは高速読出しができず、現状では60万画素、60フレーム/秒程度のものが製品化されるに留まっている。

【0004】 一方、CMOS製造プロセスと同様のプロセスで作製される、CMOSセンサーはランダムアクセ

スが可能であるので、将来の高速化に適したセンサーとして期待されている。

【0005】ところで、高画素数のセンサーから低画素数を読み出す場合、間引き走査を行うことで低画素の情報を得ることができる。この間引き走査において、

① CCDでは不要な水平ラインの画素信号を水平シフトレジスタに設けたオーバーフローラインに捨てていた。

② CMOSセンサーでは必要な画素のみを読み出していた。

【0006】

【発明が解決しようとする課題】しかしながら、上記①のCCDの間引き走査では、不要な画素の電荷も転送するので無駄な電力を要する。また不要な信号は間引いて捨てるので、低サンプリングによるモアレが発生する。また上記②の間引き走査でも同様にモアレが発生する。

【0007】本発明の目的は、高画素のセンサーから低画素の信号を読み出す時、センサー内で信号を加算し、低速にかつ高感度な信号を低消費電力で得ることにある。

【0008】

【課題を解決するための手段】本発明の撮像装置は、複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置において、前記複数の光電変換部からの信号を前記共通アンプの入力部で任意に加算切替える加算切替手段を有することを特徴とする。

【0009】本発明の撮像システムは、前記本発明の撮像装置と、該撮像装置へ光を結像するレンズと、該撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする。

【0010】

【発明の実施の形態】まず、本発明の説明に先だって、公知の関連技術との違いについて説明する。

【0011】暗い被写体を撮像する場合、CMOSセン

サーでは垂直2画素の信号を加算することは既に行われている。例えば、特開平9-46596号公報の図4には同時刻に垂直方向の上下2つの光電変換部の信号をセル内で加算することが記載されている。しかし、種々の加算読み出しの切替え、例えば垂直方向の光電変換部の信号の加算と、水平方向の光電変換部の信号の加算との切替えを可能とする加算切替え手段については開示がない。

【0012】また、垂直方向の2画素又は3以上の画素の光電変換部について一つの増幅手段を設けることについては、特開平4-461号公報に開示され、水平・垂直方向の4画素の光電変換部について一つの増幅手段を設けることについては、特開昭63-100879号公報に開示されているが、いずれも加算処理や、加算読み出しの切替えについての開示はない。

【0013】本発明は複数の光電変換部からの信号を共通アンプの入力部で任意に加算切替える加算切替手段を設けることで、表1に示すような種々の加算読み出し、全画素読み出しの切替えが可能となる。

【0014】図3にセンサー信号読み出しモードを説明するためセンサー概略図を示す。

【0015】ここでは、センサーの有効画素数130万画素（ $\approx 1024V \times 1280H$ ）とし、不図示の共通アンプに4つの光電変換部（例えば $a_{11}$ ,  $a_{12}$ ,  $a_{21}$ ,  $a_{22}$ ）を配置して構成したセンサーである。このセンサーから本発明により、例えば表1に示す、A. 全画素独立、B. 垂直水平4画素加算、C. 水平2画素加算、D. 垂直2画素加算の各読み出しモードの切替えが可能となる。なお、本発明は特に4つの光電変換部に一つの共通アンプを設けた場合に限定されず、3つの光電変換部あるいは5以上の光電変換部に対して一つの共通アンプを設けた場合にも適用される。

【0016】

【表1】

読み出しモード	ノンインタレース	インタレース	感度
A. 全画素独立	○	可	$\times 1$
B. 垂直水平4画素加算	可	NTSC	$\times 4$
C. 水平2画素加算	○	可	$\times 2$
D. 垂直2画素加算	○	可	$\times 2$

上記表1のAの全画素読み出しモードは、解像度優先の読み出しモードであり、例えばデジタルスチルカメラのプログレッシブ（ノンインタレース）1024ライン駆動に好適に用いられる。読み出しは1水平走査毎に順次 $V_1$  ラ

イン（ $a_{11}$ ,  $a_{12}$ , ...）,  $V_2$  ライン（ $a_{21}$ ,  $a_{22}$ , ...）, ...  $V_{1024}$  ラインと読み出される。

【0017】この時の感度を1とする（感度はフレーム周波数、インタレースとノンインタレースなどのモード

の違いによる蓄積時間により異なるので、ここでは加算する画素数比のみで表わす)。

【0018】上記表1のBの垂直・水平4画素加算読出しモードは、例えばNTSCのインタレース駆動に好適に用いられる。奇数フィールドでは $V_1 \cdot V_2$ ライン、 $V_5 \cdot V_6$ ラインの順に、偶数フィールドでは $V_3 \cdot V_4$ ライン、 $V_7 \cdot V_8$ ラインと順に読出す。信号は4画素加算するので $V_1 \cdot V_2$ ラインでは $a_{11} + a_{12} + a_{21} + a_{22}$ 、 $a_{13} + a_{14} + a_{23} + a_{24}$ 、 $\dots$ となる。

【0019】加算後の画素数は $512V \times 640H$ となるが、 $480V \times 640H$ の信号を利用すればNTSC信号となる。感度は上記Aの全画素読出しの4倍(インタレースを考慮すると $\times 8$ )になる。

【0020】上記表1のCの水平2画素加算読出しモードは、隣接する水平方向2画素の信号を加算する。その結果、読出しは $V_1$ ライン( $a_{11} + a_{12}$ 、 $a_{13} + a_{14}$ 、 $\dots$ )、 $\dots$ 、 $V_{1024}$ ラインとなる。

【0021】上記表1のDの垂直2画素加算読出しモードは、隣接する垂直方向2画素の信号を加算する。その結果、読出しは $V_1 \cdot V_2$ ライン( $a_{11} + a_{21}$ 、 $a_{12} + a_{22}$ 、 $\dots$ )、 $\dots$ 、 $V_{1023} \cdot V_{1024}$ ラインとなる。

【0022】上記表1のB、C、Dの各読出しモードは低照度の感度アップ、撮影モニターの画素数が少ない時、記録系の容量を少なくしたい時、小電力モードの時などに利用する。

【0023】図1は撮像装置の構成を示す概略図、図2は図1の撮像装置の単位セルSの構成を示す図である。

【0024】図2に示すように、単位セルSは、共通アンプ1つに光電変換部4つ(ここでは、 $a_{11}$ 、 $a_{12}$ 、 $a_{21}$ 、 $a_{22}$ )を配置して構成されている。その他の単位セルについても同様な構成となっている。なお、ここでは共通アンプは増幅手段MSF、リセット手段MRES、選択手段MSELから構成され、共通アンプの入力部は増幅手段MSFのゲート部である。

【0025】4画素単位で、水平方向の上2光電変換部( $a_{11}$ 、 $a_{12}$ )の信号転送を制御するラインを奇数の垂直シフトレジスタ $V_o$  ( $V_{o1}$ 、 $V_{o2}$ 、 $V_{o3}$ 、 $\dots$ )に接続し、水平方向の下2光電変換部( $a_{21}$ 、 $a_{22}$ )の信号転送を制御するラインを偶数の垂直シフトレジスタ $V_e$  ( $V_{e1}$ 、 $V_{e2}$ 、 $V_{e3}$ 、 $\dots$ )に接続する。共通アンプのリセットスイッチMRES及びセレクトスイッチMSELは奇数の選択回路 $S_o$  ( $S_{o1}$ 、 $S_{o2}$ 、 $\dots$ )と偶数の選択回路 $S_e$  ( $S_{e1}$ 、 $S_{e2}$ 、 $\dots$ )を経てそれぞれの垂直シフトレジスタ $V_o$ 、 $V_e$ に接続される。垂直シフトレジスタ $V_o$ 、 $V_e$ と選択回路 $S_o$ 、 $S_e$ は独立に制御することができる。この垂直シフトレジスタ $V_o$ 、 $V_e$ と選択回路 $S_o$ 、 $S_e$ は加算切替手段を構成する。

【0026】表1の読出しモードに応じた垂直シフトレジスタの駆動例を図4に示す。図4(a)はノンインタレース(プログレッシブ)駆動で、垂直シフトレジスタ

$V_o$ より制御信号 $\phi_o$  ( $\phi_{o11}$ 、 $\phi_{o12}$ 、 $\phi_{o21}$ 、 $\phi_{o22}$ 、 $\dots$ )を出力し、垂直シフトレジスタ $V_e$ より制御信号 $\phi_e$  ( $\phi_{e11}$ 、 $\phi_{e12}$ 、 $\phi_{e21}$ 、 $\phi_{e22}$ 、 $\dots$ )を出力して1H毎に順次走査し、各水平ラインの画素信号を順次制御する。この駆動では、各画素独立読出し、あるいは水平2画素加算読出しが可能である。

【0027】図4(b)は共通アンプ4画素単位又は垂直2画素単位で2ライン同時駆動を行う例である。垂直シフトレジスタ $V_o$ からの制御信号 $\phi_o$ と垂直シフトレジスタ $V_e$ からの制御信号 $\phi_e$ を同相駆動する。この駆動では、垂直2画素信号加算読出し、あるいは垂直・水平4画素信号加算読出しが可能である。

【0028】以下、表1に示した読出しモードについてタイミングチャートを用いて更に説明する。

【0029】図5に読出しモードA(全画素読出し)のタイミングチャートを示す。

【0030】水平ブランキング期間(HBLK)に、画素で光電変換された信号の転送と、光電変換の初期状態へのリセット動作を行う。1行目の光電変換部行の信号転送、リセット動作は奇数の垂直シフトレジスタ $V_o$ 及び奇数の選択回路 $S_o$ により制御される。

【0031】期間 $T_1$ では、パルス $\phi_{RV}$ で垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルス $\phi_{TN1}$ 、 $\phi_{TN2}$ 、 $\phi_{TS1}$ 、 $\phi_{TS2}$ で一時蓄積容量 $C_{TN1}$ 、 $C_{TN2}$ 、 $C_{TS1}$ 、 $C_{TS2}$ 上の残留電荷の除去を行う。

【0032】期間 $T_2$ では、1行目の光電変換部行( $a_{11}$ 、 $a_{12}$ 、 $\dots$ 、 $a_{1n}$ )のなかで、まず奇数番目の光電変換信号を転送する前段階として、共通アンプの増幅手段MSFのゲート部をパルス $\phi_{OR}$ でリセットし残留電荷を除去する。除去した後ゲート部にはリセットノイズが残る。

【0033】期間 $T_3$ では、期間 $T_2$ でのリセットノイズと共通アンプのオフセット電圧を容量 $C_{TN1}$ へ転送する期間である。パルス $\phi_{OS}$ で共通アンプの出力部を垂直信号線へ接続し、また共通アンプを動作状態にするためにパルス $\phi_L$ で負荷MOS Trを導通させ、パルス $\phi_{TN1}$ で垂直信号線と容量 $C_{TN1}$ を接続させる。容量 $C_{TN1}$ にはノイズ(N)として蓄積される。

【0034】期間 $T_4$ では、奇数番目( $a_{11}$ 、 $a_{13}$ 、 $\dots$ 、 $a_{1n}$ )の光電変換信号を容量 $C_{TS1}$ へ転送する期間である。パルス $\phi_L$ 、 $\phi_{TS1}$ 、 $\phi_{OS}$ により共通アンプから容量 $C_{TS1}$ までが導通状態となる。

【0035】パルス $\phi_{o11}$ で光電変換信号は、光電変換部から共通アンプのゲート部へ転送される。この時点でゲートには $T_2$ 期間でのリセットノイズに上記光電変換信号が加算されることになる。このゲート電圧は、共通アンプのオフセット電圧に重畳し、容量 $C_{TS1}$ 上では信号(S+N)として蓄積される。

【0036】期間 $T_5 \sim T_8$ では、この期間は偶数番目

( $a_{12}, a_{14}, \dots, a_{1n-1}$ ) の光電変換信号を容量  $C_{TS2}$  へ転送する駆動を行う。基本動作は前述の  $T_1 \sim T_4$  期間と同じである。異なるのは  $\phi_{o11} \rightarrow \phi_{o12}$ ,  $\phi_{TN1} \rightarrow \phi_{TN2}$ ,  $\phi_{TS1} \rightarrow \phi_{TS2}$  のパルス制御である。

【0037】期間  $T_5$  では、垂直信号線と共通アンプと転送MOS間の残留電荷を除去させることによりリセットノイズと光電変換信号の転送の基本動作を終了させる。

【0038】上述の駆動で各容量上にはノイズ  $N_1$ ,  $N_2$ , 信号  $S_1 + N_1$ ,  $S_2 + N_2$  が蓄積されている。これらのノイズと信号は  $T_{10}$  期間に水平シフトレジスタからのパルス  $\phi_{H1}$ ,  $\phi_{H2}$  で水平出力線に転送される。出力アンプ  $A_1$  で  $(S_1 + N_1) - N_1$  の減算が行なわれ、信号  $S_1$  が出力され、また出力アンプ  $A_2$  で  $(S_2 + N_2) - N_2$  の減算が行なわれ信号  $S_2$  が出力される。

【0039】これで光電変換部行 ( $a_{11} \dots a_{1n}$ ) の光電変換信号のみが得られたことになる。画素行の蓄積は  $T_4$ ,  $T_5$  期間で光電変換信号をゲート部へ転送した時点で光電変換を開始している。

【0040】次の水平ブランキング期間では2行目の光電変換部行の信号読出し動作が1行目と同様に行なわれる。2行目の光電変換部行の信号転送、リセット動作は偶数の垂直シフトレジスタ  $V$ 。及び偶数の選択回路  $S$ 。により制御される。

【0041】図6に垂直タイミングの概略図である。一垂直期間に上述した水平期間の動作が、垂直方向画素分の駆動が順次行われる。垂直シフトレジスタは1H毎に駆動パルス  $\phi_{on1}$ ,  $\phi_{on2}$  ( $\phi_{en1}$ ,  $\phi_{en2}$ ),  $\phi_{orN}$ ,  $\phi_{osN}$  ( $\phi_{eRn}$ ,  $\phi_{eSn}$ ) パルスを毎行に出力する。

【0042】図7に読出しモードB (垂直・水平4画素加算) のタイミングチャートを示す。垂直・水平4画素加算信号の信号転送、リセット動作は奇数, 偶数の垂直シフトレジスタ  $V_o$ ,  $V_e$ 。及び奇数の選択回路  $S_o$ 。 (又は偶数の選択回路  $S_e$ 。) により制御される。

【0043】期間  $T_1$  では、パルス  $\phi_{RV}$  で垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルス  $\phi_{TN1}$ ,  $\phi_{TS1}$  で一時蓄積用容量  $C_{TN1}$ ,  $C_{TS1}$  上の残留電荷の除去を行う。

【0044】期間  $T_2$  で共通アンプのゲートを  $\phi_{OR1}$  でリセットし、期間  $T_3$  で共通アンプのノイズ ( $V_n$ ) を容量  $C_{TN1}$  へ転送する。次に期間  $T_4$  で4つの画素の転送用スイッチ  $MTX1 \sim MTX4$  を転送パルス  $\phi_{o11}$ ,  $\phi_{o12}$ ,  $\phi_{e11}$ ,  $\phi_{e12}$  で導通状態にし、各光電変換部からの信号を共通アンプの増幅手段MSFのゲート部で加算する。この加算信号に対応する信号 ( $V_s + V_n$ ;  $V_s$  は4光電変換部 ( $a_{11} + a_{12} + a_{21} + a_{22}$ ) の加算信号成分、 $V_n$  はノイズ成分) は容量  $C_{TS1}$  へ転送される。これらの信号とノイズは差動アンプ  $A_1$  でノイズ ( $V_n$ ) が除去され、出力信号  $S_1$  はアンプノイズのな

い光電変換信号 ( $V_s$ ) のみとなる。インタレース駆動時は2ラインおきに駆動する。

【0045】次の水平ブランキング期間では3, 4行目の光電変換部行の動作が1, 2行目と同様に行なわれる。

【0046】図8に読出しモードC (水平2画素加算) のタイミングチャートを示す。1行目の光電変換部行の信号転送、リセット動作は奇数の垂直シフトレジスタ  $V$ 。及び奇数の選択回路  $S_o$ 。により制御される。

【0047】期間  $T_1$  では、パルス  $\phi_{RV}$  で垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルス  $\phi_{TN1}$ ,  $\phi_{TS1}$  で一時蓄積用容量  $C_{TN1}$ ,  $C_{TS1}$  上の残留電荷の除去を行う。

【0048】期間  $T_2$  で共通アンプの増幅手段MSFのゲートを  $\phi_{OR}$  でリセットし、期間  $T_3$  で共通アンプのノイズ ( $V_n$ ) を容量  $C_{N1}$  へ転送する。次に期間  $T_4$  で水平2つの光電変換部からの信号を転送パルス  $\phi_{on1}$ ,  $\phi_{on2}$  で導通状態にし、ゲート部で加算する。この加算信号に対応する信号 ( $V_s + V_n$ ;  $V_s$  は水平2光電変換部 ( $a_{11} + a_{12}$ ) の加算信号成分、 $V_n$  はノイズ成分) は容量  $C_{S1}$  へ転送される。これらの信号とノイズは差動アンプ  $A_1$  でノイズ ( $V_n$ ) が除去され、出力信号  $S_1$  はアンプノイズのない光電変換信号 ( $V_s$ ) のみとなる。

【0049】次の水平ブランキング期間では2行目の光電変換部行の動作が1行目と同様に行なわれる。2行目の光電変換部行の信号転送、リセット動作は偶数の垂直シフトレジスタ  $V$ 。及び偶数の選択回路  $S_e$ 。により制御される。

【0050】図9に読出しモードD (垂直2画素加算) のタイミングチャートを示す。垂直2画素加算信号の信号転送、リセット動作は奇数, 偶数の垂直シフトレジスタ  $V_o$ ,  $V_e$ 。及び奇数の選択回路  $S_o$ 。 (又は偶数の選択回路  $S_e$ 。) により制御される。

【0051】期間  $T_1$  では、パルス  $\phi_{RV}$  で垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルス  $\phi_{TN1}$ ,  $\phi_{TN2}$ ,  $\phi_{TS1}$ ,  $\phi_{TS2}$  で一時蓄積用容量  $C_{TN1}$ ,  $C_{TN2}$ ,  $C_{TS1}$ ,  $C_{TS2}$  上の残留電荷の除去を行う。

【0052】期間  $T_2$  で共通アンプの増幅手段MSFのゲートを  $\phi_{OR1}$  でリセットし、期間  $T_3$  で共通アンプのノイズ ( $V_{n1}$ ) を容量  $C_{N1}$  へ転送し、期間  $T_4$  で第1列目の垂直2つの光電変換部からの信号を転送パルス  $\phi_{on1}$ ,  $\phi_{en1}$  で導通状態にし、ゲート部で加算する。この加算信号に対応する信号 ( $V_{s1} + V_{n1}$ ;  $V_{s1}$  は垂直2光電変換部 ( $a_{11} + a_{21}$ ) の加算信号成分、 $V_{n1}$  はノイズ成分) は容量  $C_{S1}$  へ転送される。

【0053】期間  $T_5$  で共通アンプの増幅手段MSFのゲートを  $\phi_{OR1}$  でリセットし、期間  $T_6$  で共通アンプのノイズ ( $V_{n2}$ ) を容量  $C_{N2}$  へ転送し、期間  $T_7$  で第2列目の

垂直2つの光電変換部からの信号を転送パルス $\phi_{on2}$ ,  $\phi_{en2}$ で導通状態にし、ゲート部で加算する。この加算信号に対応する信号( $V_{s2}+V_{n2}$ ;  $V_{s2}$ は垂直2光電変換部( $a_{12}+a_{22}$ )の加算信号成分、 $V_{n2}$ はノイズ成分)は容量 $C_{s2}$ へ転送される。その後、容量 $C_{s1}$ の信号から容量 $C_{n1}$ のノイズを、容量 $C_{s2}$ の信号から容量 $C_{n2}$ のノイズを除去する。

【0054】次の水平ブランキング期間では3, 4行目の光電変換部行の動作が1, 2行目と同様に行なわれる。

【0055】図10にシステム概略図を示す。同図に示すように、光学系71、絞り80を通して入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー72上に配置されている画素アレーによって光情報は電気信号へと変換される。その電気信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。絞り80、CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。

【0056】表1に示す各読出しモードでは水平と垂直駆動パルスが異なる。従って読出しモード毎にセンサーの駆動タイミング、信号処理回路の解像度処理、記録系の記録画素数を変える必要がある。これらの制御はシステムコントロール回路76で各読出しモードに応じて行われる。また読出しモードで、加算により感度が異なる。例えば表1で読出しモードAに対し読出しモードCとDでは信号量が2倍になる。このままではダイナミックレンジが1/2になるため絞り80を半絞り小さく制御することにより適正信号を得る。この結果、低照度時は1/2の明るさまで撮影可能となる。

【0057】次に本発明の撮像装置に好適に用いることができる単位セルの具体的な構成について説明する。

【0058】図18に示す配置は、光電変換部173の配列が等ピッチとはならないために( $a_1 \neq a_2$ )、それぞれの画素内の光を関知する領域(受光部)の間隔が等しくならず、次のような問題が生じる。すなわち、同色の等ピッチでない配列は、部分的に空間周波数、解像度が等しくないために、解像度の低下、モアレ縞等の不良を発生させる。また、モアレ縞の発生は非常に重大な問題であり、そのような撮像装置は、事実上製品として成り立ち得ない。これは前記単位セルを構成する画素数が4以外の場合にも同様に成り立つ。

【0059】本発明者らは、複数画素中に分散された増幅手段を有するCMOSセンサーにおいても、光電変換部のピッチを一定とすることによってそれぞれの受光部

の間隔は等しくなり、解像度の低下とモアレ縞の発生を防止し、開口率等を向上させ、良好な性能を得ることができる撮像装置を見出した。このような撮像装置は本発明において好適に用いることができる。

【0060】図11は2行2列の画素が共通アンプ部12を共有する例を示す図である。図11では、共有する共通アンプ部12が4つの画素の中心に配置され、4つの光電変換部( $a_{11}$ ,  $a_{12}$ ,  $a_{21}$ ,  $a_{22}$ )が共通アンプ部12を取囲むように配置されている。ここで共通アンプ部12には図2の増幅手段MSF、リセット手段MSEL、選択手段MSELの他、転送手段MTX1~MTX4を含んでいる。

【0061】しかも、共通アンプ部12の占める各画素における領域と中心対称な位置に遮光部15が存在している。従って、各画素における光電変換部11の重心は前記各画素の中心に存在する。これにより前記4つの光電変換部( $a_{11} \sim a_{22}$ )は縦方向、横方向に等間隔 $a$ で配置できている。

【0062】また図12では、共有する共通アンプ部22が4つの画素の横方向の中心部に配置され、4つの光電変換部21( $a_{11}$ ,  $a_{12}$ ,  $a_{21}$ ,  $a_{22}$ )が共通アンプ部22をはさむように配置されている。

【0063】しかも、共通アンプ部22の占める各画素における領域と中心対称な位置に遮光部25が存在している。従って各画素における前記光電変換部21の重心は各画素の中心に存在する。これにより4つの光電変換部( $a_{11} \sim a_{22}$ )は縦方向、横方向に等間隔 $a$ で配置できている。

【0064】上述した図12の実施形態は、横方向と縦方向を入れ換えても全く同様に成立する。

【0065】図13にCMOSセンサーの画素アレー部の第1の構成例の具体的なパターンレイアウト図を示す。

【0066】図13に示すCMOSセンサーは単結晶基板上にレイアウトルール0.4 $\mu\text{m}$ によって形成されており、画素の大きさは8 $\mu\text{m}$ 角であり、増幅手段であるソースフォロワアンプは2行2列の4画素で共有されている。従って、図中点線領域で示した繰返し単位セル81の大きさは16 $\mu\text{m} \times 16\mu\text{m}$ 角であり、2次元アレーが形成されている。

【0067】光電変換部であるホットダイオード82a, 82b, 82c, 82dは各画素の中央に斜めに形成されており、その形状は上下左右でほぼ回転対称、鏡像対称である。またこれらのホットダイオード82a, 82b, 82c, 82dの重心 $g$ は各画素に対して同一になるように設計されている。また95は遮光部である。

【0068】88-aは左上の転送ゲート83-aを制御する走査線、90は行選択線、92はMOSゲート93を制御するリセット線である。

【0069】ホットダイオード82a~82d中に蓄積さ



れた信号電荷は転送ゲート83a~83dを通してFD85に導かれる。ゲート83a~83dのMOSサイズは $L=0.4\mu\text{m}$ ,  $W=1.0\mu\text{m}$  ( $L$ はチャネル長、 $W$ はチャネル巾を示す。)である。

【0070】FD85は巾 $0.4\mu\text{m}$ のA1配線によってソースフォロワの入力ゲート86に接続されており、FD85に転送された信号電荷は入力ゲート86の電圧を変調させる。入力ゲート86のMOSの大きさは $L=0.8\mu\text{m}$ ,  $W=1.0\mu\text{m}$ であり、FD85と入力ゲート86の容量の和は5fF程度である。 $Q=CV$ であるから、 $10^5$ 個の電子の蓄積によって入力ゲート86の電圧は、3.2V変化することになる。

【0071】 $V_{DD}$ 端子91から流れ込む電流は入力ゲート86によって変調され、垂直信号線87に流出する。垂直信号線87に流出する電流は図示しない信号処理回路によって信号処理され、最終的には画像情報となる。

【0072】その後、ホットダイオード82a~82d, FD85, 入力ゲート86の電位を所定の値の $V_{DD}$ とするために、リセット線92に接続されたMOSゲート93を開くことで(このとき転送ゲート83a~83dも開く)、ホットダイオード82a~82d, FD85, 入力ゲート86は $V_{DD}$ 端子とショートされる。

【0073】その後、転送ゲート83a~83dを閉じることでホットダイオード82a~82dの電荷蓄積が再び始まる。

【0074】ここで注目すべきは、水平方向に貫通する配線88a~88d, 90, 92の全ては透明な導体である厚さ $1500\text{\AA}$ のITO (Indium Tin Oxide) で形成されているために、前記配線部分のうち、ホットダイオード82a~82d上では光が透過するため、前記ホットダイオードの重心gは光を感知する領域(受光部)の重心と一致することである。

【0075】本構成例によれば画素ピッチが等しい比較的高面積率、高開口率なCMOSセンサーを提供することができる。

【0076】本発明のCMOSセンサーの画素アレー部の第2の構成例の具体的なパターンレイアウト図を図14に示す。

【0077】図14において、102a~102dはホットダイオード、103a~103dは転送ゲート、105はFD、106はソースフォロワの入力ゲート、107は垂直信号線、108a~108dは走査線、110は行選択線、112はMOSゲート113を制御するリセット線である。

【0078】本構成例においては水平方向に走る配線108a~108d, 110, 112が3本ずつ各画素の中心を横切るように走っているために、ホットダイオード102a~102dに入射する光を妨げるような金属配線であっても、光を感知する領域の重心gの移動は生じず、従って前記画素の中心と一致する。

【0079】本構成例によれば電気抵抗が小さな通常の(不透明な)金属を使用できるため、前記横方向の配線の時定数が改善され、更に高速な撮像装置を提供することができる。

【0080】以上の構成例では、遮光膜の下部分が有効利用されているため、図15に示すように遮光膜の下部分にまで光電変換部であるホットダイオードを形成し、電荷蓄積部として機能させることも可能である。

【0081】上述の第2構成例においては、最も光集光効率が良い画素の中心を横切るために、撮像装置の感度の低下が懸念される。そこで更に改善された第3構成例を図16に示す。

【0082】本構成例においては転送ゲート123a~123d, FD125, ソースフォロワの入力ゲート126, リセット用のMOSゲート133全てが横方向を走る配線(走査線128a~128d, 行選択線130, リセット線132)下に形成されているため、ホットダイオード122a~122d, 及びその開口を最大とすることができる。しかも、その開口部は各画素の中心に連続して存在する。また遮光部は水平、垂直配線部分に形成されている。

【0083】また本構成例においては前記増幅手段であるソースフォロワとリセット用のMOSトランジスタを各画素の周辺の水平方向に分割して配置したためにコンパクトに前記水平方向の配線下に配置可能となっている。

【0084】また右上の画素の配線下には未使用のスペースが未だ存在するため、例えばスマートセンサー等、新規の構成を追加することも可能である。

【0085】本構成例によれば、ホットダイオードの面積、及び開口率が大きく取れることから、広ダイナミックレンジ、高感度な撮像装置を提供することができる。また、将来微細化が進み、前記ホットダイオードの開口部分の寸法が光の波長程度になっても光が入射しなくなるといった恐れは生じにくく、永らくその性能を発揮することができる。

【0086】また、以上の構成例では、増幅手段は単位セルの中心部に配置し、光を感知する領域の重心と、画素の中心は一致したものであるが、これらに限られず、図17に示したような開口部が並進対称となっている構成のものでもよい。

【0087】つまり、開口部が並進対称となっていることにより、光を感知する領域は、等ピッチとなるためである。

【0088】

【発明の効果】以上説明したように、本発明によれば、共通アンプの入力部で信号を加算するので、  
・感度がアップし、低照度撮影が可能となる。  
・全ての画素信号を利用するのでモアレの発生がない(間引き走査に対し)。

・水平あるいは垂直駆動周波数を下げることができるので低消費電力にできる。

特にデジタルスチルカメラで撮影モニタ時利用すれば電池消耗が少なくなる効果を得ることができる。

【0089】また、本発明によれば、解像度の低下、モアレ縞の発生といった性能低下を生じることがなく、開口率が大きく感度が高く、多機能を内蔵可能な高歩留な撮像装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の撮像装置の構成を示す概略図である。

【図2】図1の撮像装置の単位セルSの構成を示す図である。

【図3】センサー信号読み出しモードを説明するためセンサー概略図を示す。

【図4】表1の読出しモードに応じた垂直シフトレジスタの駆動例を示すタイミングチャートである。

【図5】表1の読出しモードA（全画素読出し）のタイミングチャートである。

【図6】垂直タイミングの概略図である。

【図7】表1の読出しモードB（垂直・水平4画素加算）のタイミングチャートである。

【図8】表1の読出しモードC（水平2画素加算）のタイミングチャートである。

【図9】表1の読出しモードD（垂直2画素加算）のタ

イミングチャートである。

【図10】本発明によるシステム概略図である。

【図11】本発明の単位セルのレイアウトを示す図である。

【図12】本発明の単位セルのレイアウトを示す図である。

【図13】本発明の一構成例のパターンレイアウト図である。

【図14】本発明の一構成例のパターンレイアウト図である。

【図15】本発明の一構成例を表す図である。

【図16】本発明の一構成例のパターンレイアウト図である。

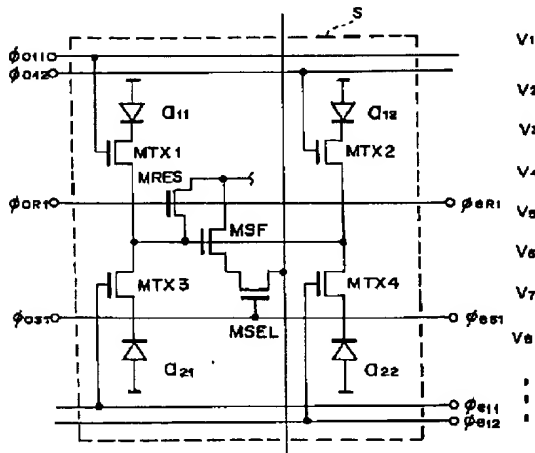
【図17】本発明の一構成例を表す図である。

【図18】撮像装置の一例の単位セルのレイアウト図である。

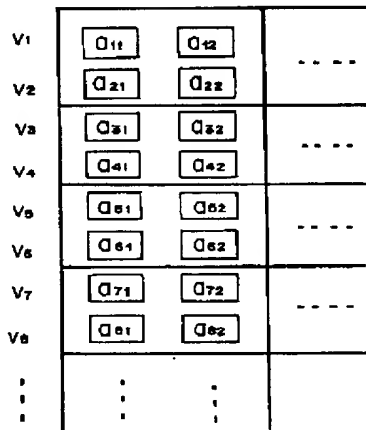
【符号の説明】

- 11 光電変換部
- 12 共通アンプ部
- 15 遮光部
- 21 光電変換部
- 22 共通アンプ部
- 25 遮光部

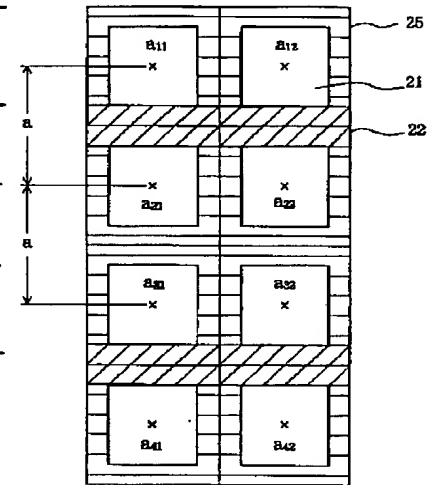
【図2】



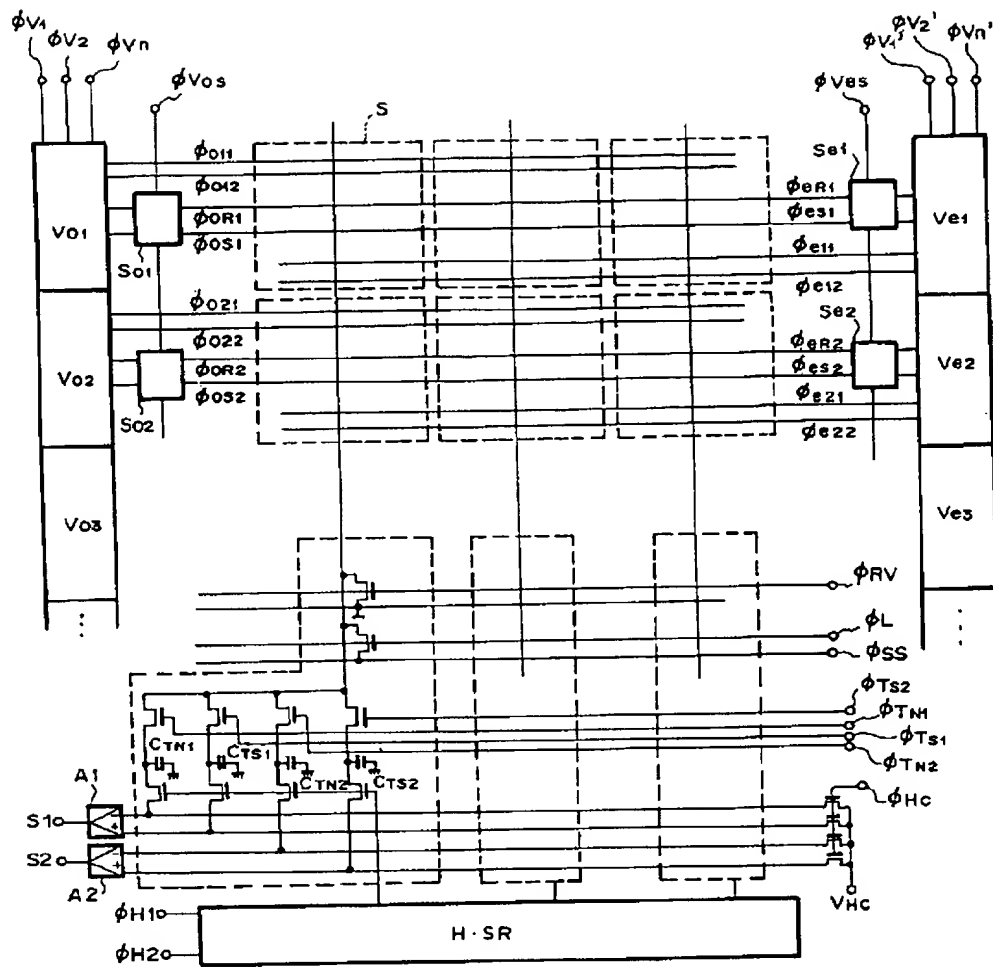
【図3】



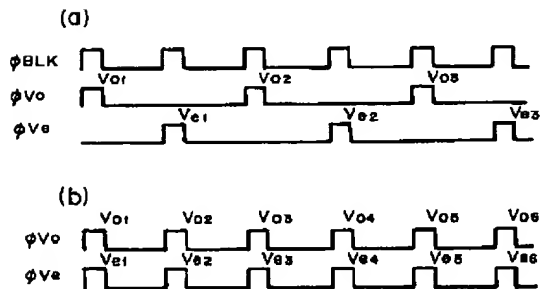
【図12】



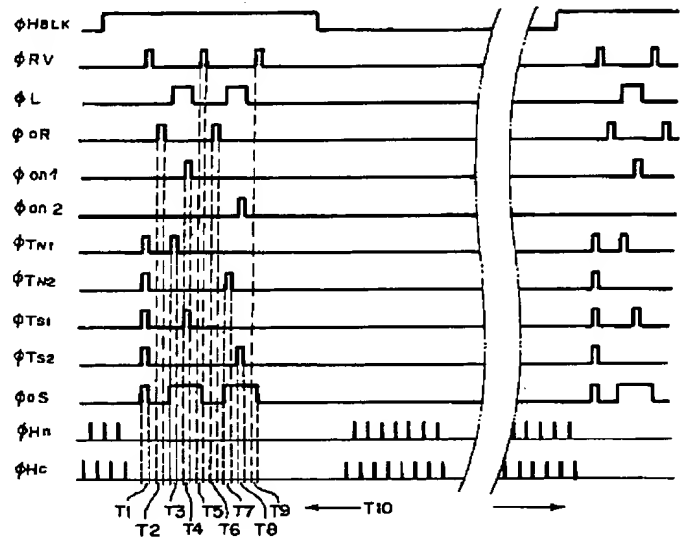
【図1】



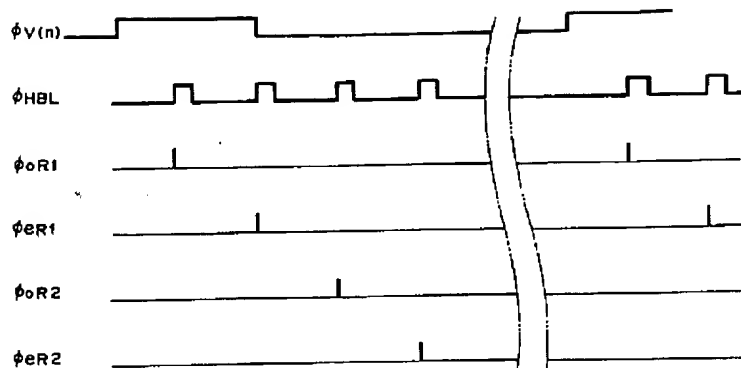
【図4】



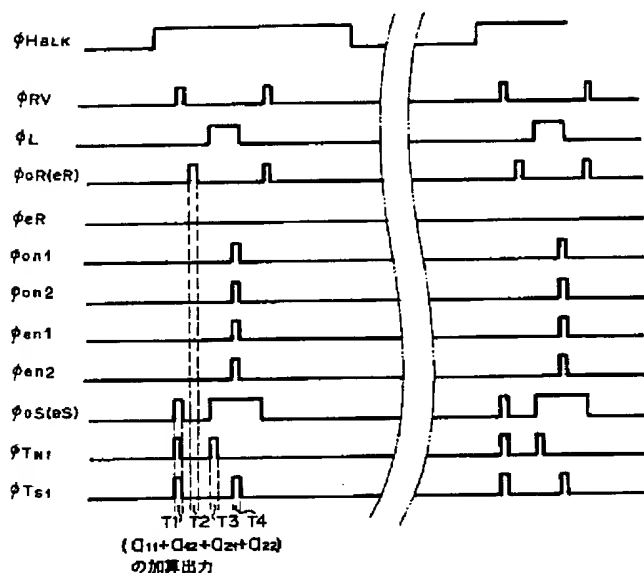
【図5】



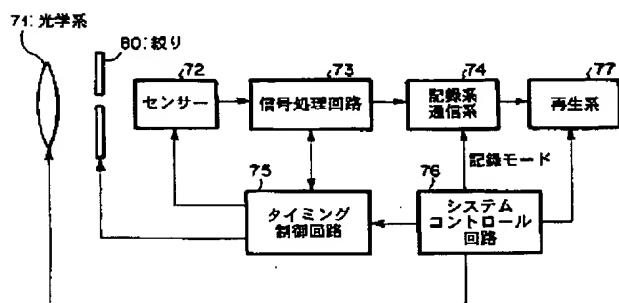
【図6】



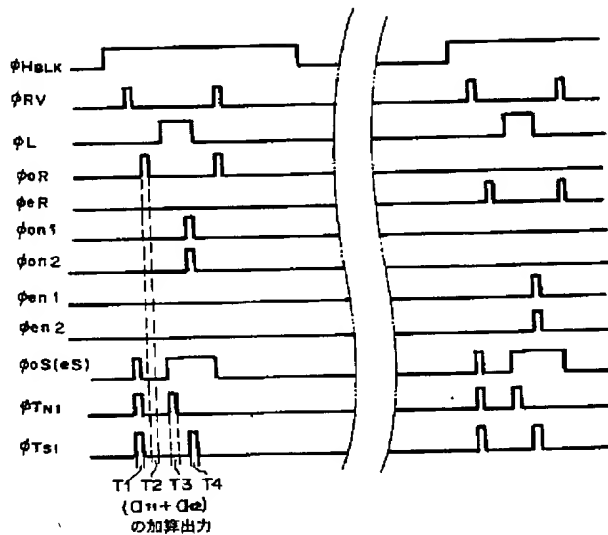
【図7】



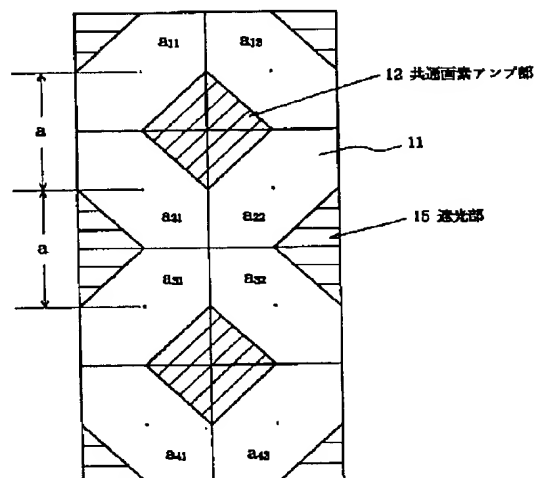
【図10】



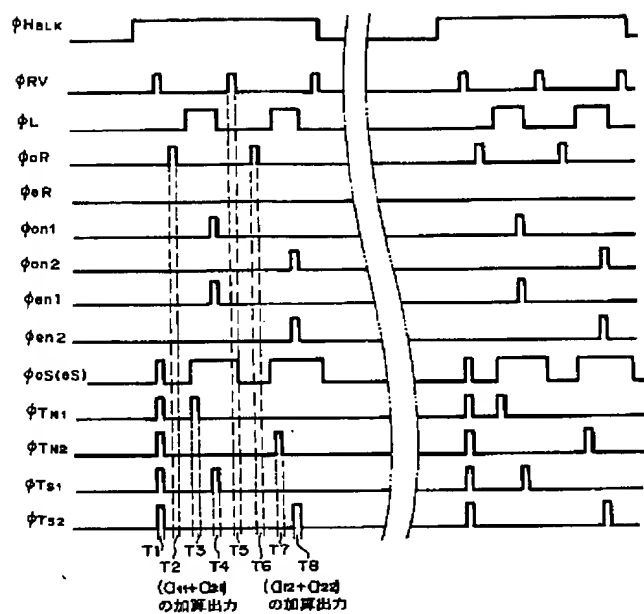
【図8】



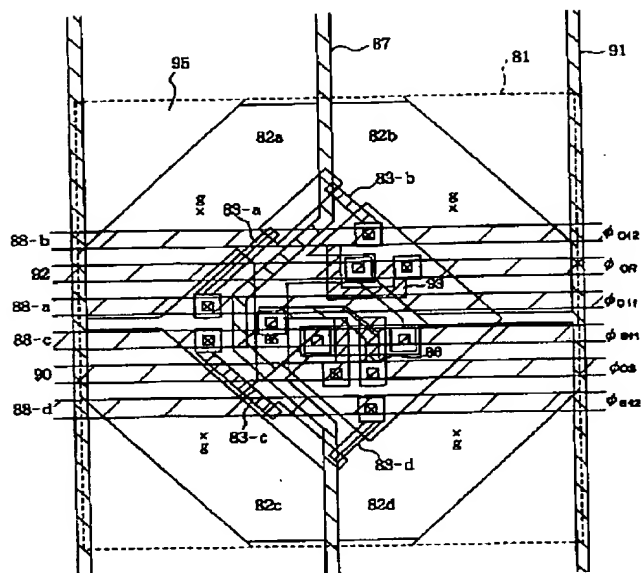
【図11】



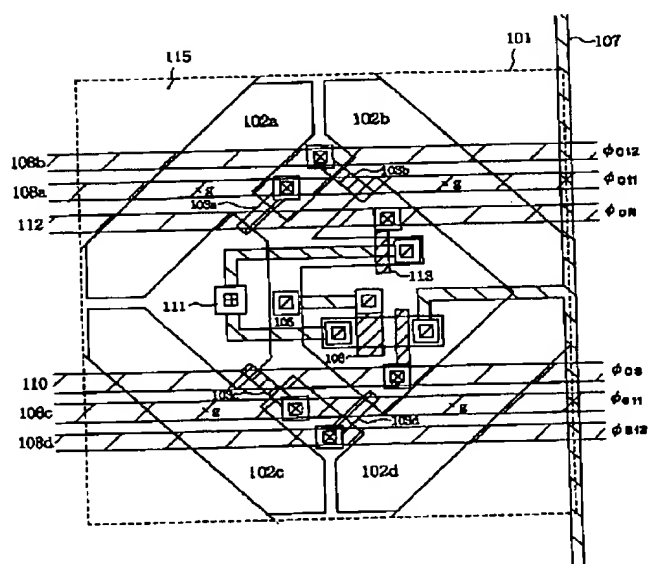
【図9】



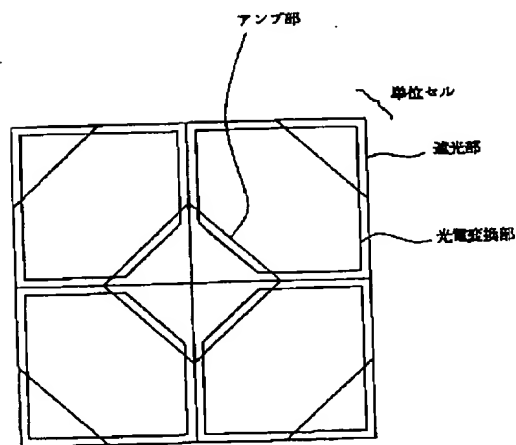
【図13】



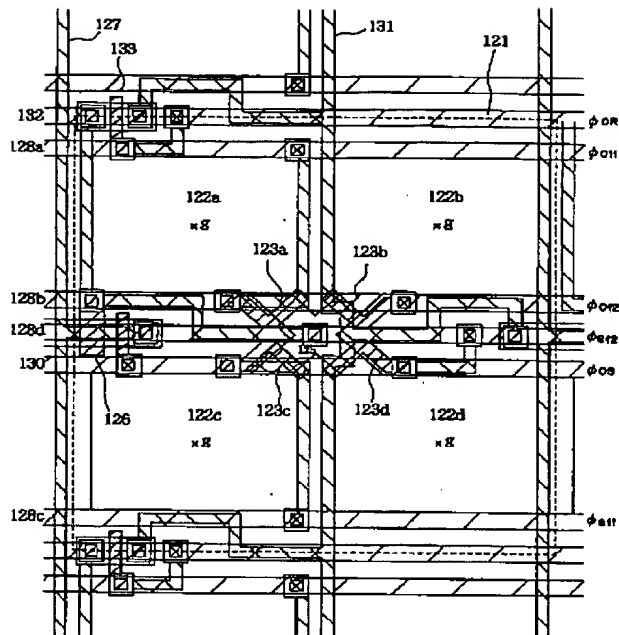
【図14】



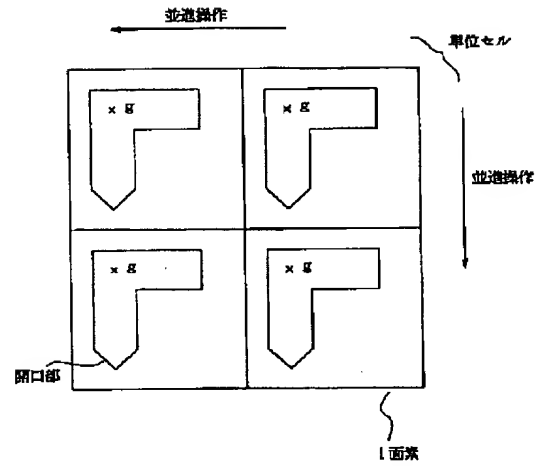
【図15】



【図16】



【図17】



【図18】

